

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-26318

(P2002-26318A)

(43)公開日 平成14年1月25日 (2002.1.25)

(51)Int.Cl. ⁷	識別記号	F I	マーク* (参考)
H 01 L 29/78		H 01 L 21/28	3 0 1 A 4 M 1 0 4
21/28	3 0 1	29/78	3 0 1 G 5 F 0 4 0
21/8238		27/08	3 2 1 D 5 F 0 4 8
27/092		29/78	6 1 6 A 5 F 1 1 0
29/786			6 1 7 K

審査請求 未請求 請求項の数 5 OL (全 9 頁) 最終頁に続く

(21)出願番号	特願2000-210793(P2000-210793)	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日	平成12年7月12日 (2000.7.12)	(72)発明者	倉田 創 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(74)代理人	100105337 弁理士 関根 淳 (外3名)
			最終頁に続く

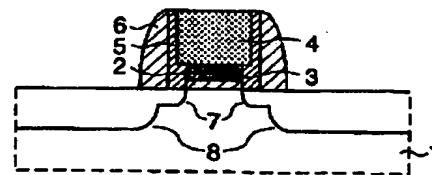
(54)【発明の名称】絶縁ゲート型半導体装置及びその製造方法

(57)【要約】

【課題】 絶縁ゲート型半導体装置及びその製造方法に
関し、ゲート電極のゲート絶縁膜との界面近傍での空乏
層の発生を防止するとともに、精度良くT型ゲート電極
を形成する。

【解決手段】 ゲート絶縁膜2と接する少なくともS i
とG eを含む多結晶半導体層3と、この少なくともS i
とG eを含む多結晶半導体層3上に設けた多結晶S i層
4によって、ゲート電極、特に、T型ゲート電極を形成
する。

本発明の原理的構成の説明図



- 1: 半導体基板
- 2: ゲート絶縁膜
- 3: 少なくともS iとG eを含む多結晶半導体層
- 4: 多結晶S i層
- 5: 硅化膜
- 6: サイドウォール
- 7: エクステンション領域
- 8: ソース・ドレイン領域

1

【特許請求の範囲】

【請求項1】 ゲート絶縁膜と接する少なくともSiとGeを含む多結晶半導体層と、前記少なくともSiとGeを含む多結晶半導体層上に設けた多結晶Si層によってゲート電極を構成することを特徴とする絶縁ゲート型半導体装置。

【請求項2】 上記ゲート電極が、幅細の少なくともSiとGeを含む多結晶半導体層と、幅太の多結晶Si層からなるT型ゲート電極であることを特徴とする請求項1記載の絶縁ゲート型半導体装置。

【請求項3】 ゲート絶縁膜上に少なくともSiとGeを含む多結晶半導体層と多結晶Si層を順次成膜する工程、酸化速度の差を利用して前記少なくともSiとGeを含む多結晶半導体層及び多結晶Si層とを酸化してT型ゲート電極を形成することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項4】 上記少なくともSiとGeを含む多結晶半導体層が、B、P、または、AsのいずれかをドープしたSiとGeを含む多結晶半導体層、多結晶Si層にGeをイオン注入して形成した層、或いは、SiGeC²⁰層のいずれかひとつからなることを特徴とする請求項3記載の絶縁ゲート型半導体装置の製造方法。

【請求項5】 上記少なくともSiとGeを含む多結晶半導体層及び多結晶Si層とを酸化して形成した酸化膜を除去する工程を有することを特徴とする請求項3または4に記載の絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は絶縁ゲート型半導体装置及びその製造方法に関するものであり、例えば、ゲート電極とのオーバーラップの少ないエクステンション領域を形成するためのT字型ゲート電極を精度良く形成するためのゲート電極の層構造に特徴のある絶縁ゲート型半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 近年、半導体装置の高集積化、或いは、高速化に伴って、半導体集積回路装置を構成する個々の素子は益々微細化され、例えば、CMOSデバイスにおいては、0.1μmレベルのゲート長になってきているが、素子の微細化に伴って、エクステンション領域とゲート電極とのオーバーラップによる寄生容量に起因する信号遅延が発生し、高速動作の妨げとなっている。

【0003】 この様なオーバーラップを低減するためにゲート電極としてT型ゲート電極を用いたT型ゲートMOSFETが提案されている（必要ならば、99' IEDM Tech. Digest, p. 415参照）ので、ここで、図6を参照して従来のT型ゲートMOSFETを説明する。

【0004】 図6参照

図6は、従来のT型ゲートMOSFETの概略的断面図⁵⁰

2

であり、まず、p型シリコン基板41上にゲート酸化膜42を介してT型ゲート電極43を設けたのち、T型ゲート電極43の頂部をマスクとしてAsイオンを注入してn型エクステンション領域44を形成し、次いで、サイドウォール（図示を省略）を設けたのち、サイドウォールをマスクとしてAsイオンを注入してn⁺型ソース・ドレイン領域45を形成することによって、T型ゲートMOSFETの基本的構成が完成する。

【0005】 この場合、イオン注入時のn型エクステンション領域44は、T型ゲート電極43の頂部の端部と略一致してオフセット領域が形成されているが、注入したイオンを活性化するためのアニール工程において不純物が拡散して拡がるのでT型ゲート電極43の基部の端部とn型エクステンション領域44が略一致し、オフセット領域が消失するとともに、オーバーラップも減少する。

【0006】

【発明が解決しようとする課題】 しかし、現状では、エッチング条件を制御することによってT型ゲート電極を形成しているので、制御性が低く、且つ、プロセスが複雑化するという問題がある。

【0007】 即ち、T型ゲート電極を形成するためにには、まず、異方性エッチングによって方形のゲート電極を形成したのち、ゲート絶縁膜に対する選択比の高い条件でさらにエッチングを行うことによって、ゲート電極のゲート絶縁膜の界面近傍を過剰エッチングしてT型とすることになるが、制御性良くT型にすることが困難である。

【0008】 また、従来の多結晶シリコンゲート電極の場合には、ゲート電極へのイオン注入時にゲート絶縁膜をB（ボロン）が突き抜けてトランジスタ特性をばらつかせる問題があり、それを抑制しようとすると、ドープした不純物の活性化率が必ずしも高くないので、ゲートに電圧を印加した時に、ゲート絶縁膜との界面近傍で空乏層が発生し易くなるという問題がある。

【0009】 したがって、本発明は、ゲート電極のゲート絶縁膜との界面近傍での空乏層の発生を防止するとともに、精度良くT型ゲート電極を形成することを目的とする。

【0010】

【課題を解決するための手段】 図1は本発明の原理的構成の説明図であり、この図1を参照して本発明における課題を解決するための手段を説明する。

図1参照

上述の目的を達成するために、本発明においては、絶縁ゲート型半導体装置において、ゲート絶縁膜2と接する少なくともSiとGeを含む多結晶半導体層3と、この少なくともSiとGeを含む多結晶半導体層3上に設けた多結晶Si層4によって、ゲート電極を構成すること、特に、T型ゲート電極を形成することを特徴とす

る。

【0011】この様に、ゲート電極を不純物の活性化率の高い少なくともSiとGeを含む多結晶半導体層3によって構成することによって、ゲート電極のゲート絶縁膜2との界面近傍での空乏層の発生を防止することができるとともに、ゲート電極へのイオン注入時にBの突き抜けを防止することができる。また、上面部を多結晶Si層4とすることによって、低抵抗のシリサイド電極の形成が可能になる。

【0012】また、ゲート電極をT型ゲート電極とすることによって、エクステンション領域7とゲート電極とのオーバーラップを少なくすることができ、それによって、寄生容量が低減するので高速動作が可能になる。また、T型ゲート電極とすることによって、頂部が大きくなるので、シリサイド電極の形成が容易になる。

【0013】また、本発明においては、絶縁ゲート型半導体装置の製造方法において、ゲート絶縁膜2上に少なくともSiとGeを含む多結晶半導体層3と多結晶Si層4を順次成膜する工程、酸化速度の差を利用して少なくともSiとGeを含む多結晶半導体層3及び多結晶Si層4とを酸化してT型ゲート電極を形成することを特徴とする。

【0014】この様に、酸化速度の差を利用することによって再現性良く、制御性良くT型ゲート電極を形成することができる。

【0015】なお、この場合の少なくともSiとGeを含む多結晶半導体層3は、多結晶Si層にGeをイオン注入して形成しても良いし、或いは、SiGeCを用いても良いものである。また、少なくともSiとGeを含む多結晶半導体層3及び多結晶Si層4とを酸化した酸化膜5を除去しても除去しなくても良いが、除去する場合には、HF水溶液を用いて除去すれば良い。

【0016】この様に、少なくともSiとGeを含む多結晶半導体層3は、SiとGeを含んでいれば、B, P, As, C等の他の元素を含んでいても良く、また、どの様な工程で形成しても良いものである。特に、SiGeC層を用いた場合には、ゲート電極へのイオン注入時のBの突き抜けを更に防止することができる。

【0017】また、少なくともSiとGeを含む多結晶半導体層3及び多結晶Si層4とを酸化した酸化膜5を除去することによって、パンチスルーストップを形成する際のイオン注入工程を精度良く行うことができる。

【0018】

【発明の実施の形態】ここで、図2及び図3を参照して、本発明の第1の実施の形態の製造工程を説明する。図2(a)参照

まず、p型シリコン基板11の表面を熟酸化して、厚さが、例えば、3nmのSiO₂膜を形成してゲート酸化膜12としたのち、減圧化学気相成長法(LPCVD法)によって、SiH₄及びGeH₄を用いて、厚さが 50

10～150nm、例えば、50nmの多結晶SiGe層13を形成し、引き続いて、SiH₄を用いて厚さが20～200nm、例えば、100nmの多結晶Si層14を形成する。

【0019】次いで、異方性エッチングを施すことによって、多結晶Si層14及び多結晶SiGe層13を、例えば、幅が0.1μmのゲート電極とする。なお、この場合の多結晶SiGe層13の混晶比は、Si₉₀Ge₁₀～Si₁₀Ge₉₀の範囲であれば良く、例えば、Si₉₀Ge₁₀とする。

【0020】図2(b)参照

次いで、酸素雰囲気中で、例えば、800℃の温度において、3分間ドライ酸化処理することによって、多結晶Si層14及び多結晶SiGe層13の側面を酸化して酸化膜15を形成する。なお、この場合、図示を省略するものの、多結晶Si層14の上面にはSiN膜を形成している。

【0021】この場合、多結晶Si層14及び多結晶SiGe層13の酸化速度が異なり、多結晶SiGe層13の酸化速度は多結晶Si層14の酸化速度の2～3倍となるので、上記の条件では、多結晶Si層14の側面を3nm酸化した場合、多結晶SiGe層13の側面は約10nm酸化されることになる。

【0022】図2(c)参照

次いで、HF水溶液を用いて多結晶Si層14及び多結晶SiGe層13の側面に形成された酸化膜15を除去したのち、図示は省略するものの、パンチスルーストップを形成するために、Bをp型シリコン基板11のゲート電極端部近傍にイオン注入する。この場合、酸化膜15を除去しているので、パンチスルーストップを精度良く形成することができる。

【0023】図3(d)参照

次いで、多結晶Si層14をマスクとしてAsイオン16を注入することによって、n型エクステンション領域17を形成する。

【0024】図3(e)参照

次いで、全面にSiO₂膜を堆積させたのち、異方性エッチングを施すことによってサイドウォール18を形成したのち、サイドウォール18をマスクとしてAsイオン19を注入することによってn⁺型ソース・ドレイン領域20を形成する。

【0025】図3(f)参照

次いで、アニールを施すことによって注入したAsを活性化する。このアニール工程で、n型エクステンション領域17は、多結晶SiGe層13の端部と略一致するので、n型エクステンション領域17とゲート電極とのオーバーラップが低減する。

【0026】次いで、スパッタ法を用いて、全面に、厚さが、例えば、10nmのCo層を堆積させたのち、N₂雰囲気中で、例えば、550℃の温度で、30秒間の

急速熱処理 (Rapid Thermal Annealing: RTA) を施すことによって、Co層とn⁺型ソース・ドレイン領域20及び多結晶Si層14とを反応させてCoSi層を形成する。

【0027】次いで、H₂SO₄:H₂O₂=3:1の混合液で20分間エッティングを行うことによって未反応Co層を除去したのち、再び、N₂雰囲気中で、例えば、800°Cの温度で、30秒間のRTA処理を施すことによってCoSi層を低抵抗相のCoSi₂層に変換してCoSi₂オーミック電極21を自己整合的に形成することによって、T型ゲートMOSFETの基本構成が完成する。

【0028】この様に、本発明の第1の実施の形態においては、ゲート電極を多結晶Si層14/多結晶SiGe層13の2層構造とし、酸化速度の差を利用してT型ゲート電極としているので、T型ゲート電極を制御性良く形成することができる。

【0029】また、ゲート電極の下層を不純物の活性化率の高い、多結晶SiGe層で構成しているので、ゲート電極に電圧を印加した時にゲート絶縁膜との界面近傍に空乏層が発生する事なく、また、ゲート電極の上層を多結晶Si層によって構成しているので、シリサイド化が可能になる。

【0030】また、パンチスルーストップペーを形成するためのイオン注入工程の前に、多結晶Si層14/多結晶SiGe層13の側面を酸化して形成した酸化膜15を除去しているので、パンチスルーストップペーを精度良く形成することができる。

【0031】次に、図4を参照して、本発明の第2の実施の形態の製造工程を説明するが、この第2の実施の形態は、側面に形成した酸化膜を除去しない以外は上記の第1の実施の形態と同一であるので、同じ工程については説明は簡単にする。

図4 (a) 参照

まず、上記の第1の実施の形態と全く同様に、p型シリコン基板11上にゲート酸化膜12を介して、多結晶SiGe層13及び多結晶Si層14を成膜したのち、幅0.1μmのゲート電極としたのち、ドライ酸化を施すことによって多結晶SiGe層13及び多結晶Si層14の側面に酸化膜15を形成する。

【0032】次いで、図示は省略するものの、パンチスルーストップペーを形成するために、Bをp型シリコン基板11のゲート電極端部近傍にイオン注入したのち、酸化膜15及び多結晶Si層14をマスクとしてAsイオン16を注入することによってn型エクステンション領域17を形成する。

【0033】図4 (b) 参照

次いで、上記の第1の実施の形態と同様に、全面にSiO₂膜を堆積させたのち、異方性エッティングを施すことによってサイドウォール38を形成し、次いで、サイドウォール38をマスクとしてAsイオンを注入することによってn⁺型ソース・ドレイン領域39を形成する。

ウォール18をマスクとしてAsイオン19を注入することによってn⁺型ソース・ドレイン領域20を形成する。

【0034】図4 (c) 参照

次いで、アニールを施すことによって注入したAsを活性化する。このアニール工程で、n型エクステンション領域17は、多結晶SiGe層13の端部と略一致するので、n型エクステンション領域17とゲート電極とのオーバーラップが低減する。

【0035】次いで、上記の第1の実施の形態と同様な工程を経ることによって、n⁺型ソース・ドレイン領域20と多結晶Si層14の表面にCoSi₂オーミック電極21を自己整合的に形成することによって、T型ゲートMOSFETの基本構成が完成する。

【0036】この様に、本発明の第2の実施の形態においては、酸化膜15を除去せずにパンチスルーストップペーを形成しているので、製造工程数を低減することができ、スループットが向上する。なお、他の効果は、上記の第1の実施の形態と同様である。

【0037】次に、図5を参照して、本発明の第3の実施の形態の製造工程を説明するが、この第3の実施の形態は、側面に酸化膜を形成する前にエクステンション領域を形成している以外は上記の第2の実施の形態と同一であるので、同じ工程については説明は簡単にする。

図5 (a) 参照

まず、上記の第1の実施の形態と全く同様に、p型シリコン基板31上にゲート酸化膜32を介して、多結晶SiGe層33及び多結晶Si層34を成膜したのち、幅0.1μmのゲート電極とする。

【0038】次いで、図示は省略するものの、パンチスルーストップペーを形成するために、Bをp型シリコン基板31のゲート電極端部近傍にイオン注入したのち、多結晶Si層34をマスクとしてAsイオン35を注入することによってn型エクステンション領域36を形成する。

【0039】図5 (b) 参照

次いで、ドライ酸化を施すことによって多結晶SiGe層33及び多結晶Si層34の側面に酸化膜37を形成する。このドライ酸化工程で、n型エクステンション領域36は、多結晶SiGe層33の端部と略一致する。

【0040】図5 (c) 参照

次いで、上記の第2の実施の形態と同様に、全面にSiO₂膜を堆積させたのち、異方性エッティングを施すことによってサイドウォール38を形成し、次いで、サイドウォール38をマスクとしてAsイオンを注入することによってn⁺型ソース・ドレイン領域39を形成する。

【0041】次いで、上記の第1の実施の形態と同様な工程を経ることによって、n⁺型ソース・ドレイン領域39と多結晶Si層34の表面にCoSi₂オーミック電極40を自己整合的に形成することによって、T型ゲ

ートMOSFETの基本構成が完成する。

【0042】この第3の実施の形態においても、本発明の第2の実施の形態と同様に酸化膜の除去工程が不要になるとともに、n型エクステンション領域36の活性化のアニール工程をドライ酸化工程と兼ねて行い、また、n⁺型ソース・ドレイン領域39の活性化のアニール工程をシリサイド化工程と兼ねて行うことによって、注入した不純物を活性化するための個別のアニール工程が不要になる。なお、他の効果は、上記の第1の実施の形態と同様である。
10

【0043】以上、本発明の各実施の形態を説明してきたが、本発明は各実施の形態に記載された構成・条件に限られるものではなく、各種の変更が可能である。例えば、上記の各実施の形態においてはT型ゲート電極の基部を多結晶SiGe層をLPCVD法によって形成しているが、多結晶Si層にGeをイオン注入して形成しても良いものである。

【0044】また、上記の各実施の形態においては、多結晶SiGe層及び多結晶Si層をノン・ドープ層として形成しているが、成膜時に、B、P、或いは、Asを20ドープして、導電性を有する多結晶SiGe層及び多結晶Si層としても良いものである。

【0045】さらに、多結晶SiGe層に限られるものではなく、Cを1.5原子%含んで多結晶SiGeC層で構成しても良く、それによって、Bの突き抜けを防止することが可能になる。

【0046】また、上記の各実施の形態においては、ゲート電極の側面を酸化する際に、ドライ酸化工程によって行っているが、ドライ酸化に限られるものではなく、ウエット酸化工程によって行っても良いものである。
30

【0047】また、上記の各実施の形態においては、ゲート電極の側面を酸化する際に、多結晶Si層上にSi_N膜マスク（図示は省略）を設けているが、第1の実施の形態の場合には、形成した酸化膜は図2（c）の工程において除去するので、Si_N膜マスクは必ずしも必要がない。

【0048】また、上記の各実施の形態においては、nチャネル型MOSFETとして説明しているが、pチャネル型MOSFETにも適用されるものであり、その場合には、低電圧駆動のCMOSを形成するためにpチャネル型MOSFETのゲート電極にBをドープする必要があるが、Bの突き抜けが問題となる。
40

【0049】しかし、多結晶SiGe層或いは多結晶SiGeC層はBの突き抜けを抑制する効果があるので、しきい値電圧V_{th}の変動を抑制することができる。また、多結晶SiGe層或いは多結晶SiGeC層に直接シリサイド電極を形成することは困難であるので、その上層としてシリサイド化が容易な多結晶Si層を形成する必要がある。

【0050】したがって、多結晶Si層/多結晶SiG
50

e層の二層構造のゲート電極構造は、T型以外のゲート電極としても有効なものであり、特に、pチャネル型MOSFETにおいて、有効であり、したがって、本発明はこの様な多結晶Si層/多結晶SiGe層の二層構造のゲート電極を有する絶縁ゲート型半導体装置も権利範囲とするものである。

【0051】また、上記の各実施の形態においては、バルクシリコンを用いてT型ゲートMOSFETを形成しているが、バルクシリコンに限られるものではなく、SOI（Silicon on Insulator）基板を用いて形成しても良いものである。

【0052】ここで、再び、図1を参照して、本発明の付記を説明する。

（付記1）ゲート絶縁膜2と接する少なくともSiとGeを含む多結晶半導体層3と、前記少なくともSiとGeを含む多結晶半導体層3上に設けた多結晶Si層4によってゲート電極を構成することを特徴とする絶縁ゲート型半導体装置。

（付記2）上記ゲート電極が、幅細の少なくともSiとGeを含む多結晶半導体層3と、幅太の多結晶Si層4からなるT型ゲート電極であることを特徴とする付記1記載の絶縁ゲート型半導体装置。

（付記3）上記ゲート電極を形成する基板が、バルクシリコン基板或いはシリコンオーナインシュレータ基板であることを特徴とする付記1または2に記載の絶縁ゲート型半導体装置。

（付記4）ゲート絶縁膜2上に少なくともSiとGeを含む多結晶半導体層3と多結晶Si層4を順次成膜する工程、酸化速度の差を利用して前記少なくともSiとGeを含む多結晶半導体層3及び多結晶Si層4とを酸化してT型ゲート電極を形成することを特徴とする絶縁ゲート型半導体装置の製造方法。

（付記5）上記少なくともSiとGeを含む多結晶半導体層3が、B、P、または、AsのいずれかをドープしたSiとGeを含む多結晶半導体層、多結晶Si層にGeをイオン注入して形成した層、或いは、SiGeC層のいずれかひとつからなることを特徴とする付記4記載の絶縁ゲート型半導体装置の製造方法。

（付記6）上記少なくともSiとGeを含む多結晶半導体層3及び多結晶Si層4とを酸化して形成した酸化膜を除去する工程を有することを特徴とする付記4または5に記載の絶縁ゲート型半導体装置の製造方法。

【0053】

【発明の効果】本発明によれば、ゲート電極として、多結晶Si層/多結晶SiGe層の二層構造のゲート電極を用いているので、Bの突き抜けを防止し、且つ、ゲート絶縁膜との界面近傍における空乏層の発生を防止してしきい値電圧V_{th}の変動の少ない絶縁ゲート型半導体装置を構成することができる。

【0054】また、本発明によれば、多結晶Si層と多

結晶SiGe層との酸化速度の差を利用することによってT型ゲート電極を制御性良く形成することができ、それによって、エクステンション領域とゲート電極とのオーバーラップを低減することができるので、高速動作化が可能になる。

【図面の簡単な説明】

【図1】本発明の原理的構成の説明図である。

【図2】本発明の第1の実施の形態の途中までの製造工程の説明図である。

【図3】本発明の第1の実施の形態の図2以降の製造工程の説明図である。

【図4】本発明の第2の実施の形態の製造工程の説明図である。

【図5】本発明の第3の実施の形態の製造工程の説明図である。

【図6】従来のT型ゲートMOSFETの概略的断面図である。

【符号の説明】

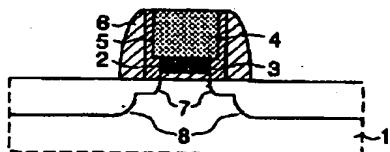
- 1 半導体基板
- 2 ゲート絶縁膜
- 3 少なくともSiとGeを含む多結晶半導体層
- 4 多結晶Si層
- 5 酸化膜
- 6 サイドウォール
- 7 エクステンション領域
- 8 ソース・ドレイン領域

- *1 1 p型シリコン基板
- 1 2 ゲート酸化膜
- 1 3 多結晶SiGe層
- 1 4 多結晶Si層
- 1 5 酸化膜

- 1 6 Asイオン
- 1 7 n型エクステンション領域
- 1 8 サイドウォール
- 1 9 Asイオン
- 2 0 n⁺型ソース・ドレイン領域
- 2 1 CoSi₂オーミック電極
- 3 1 p型シリコン基板
- 3 2 ゲート酸化膜
- 3 3 多結晶SiGe層
- 3 4 多結晶Si層
- 3 5 Asイオン
- 3 6 n型エクステンション領域
- 3 7 酸化膜
- 3 8 サイドウォール
- 3 9 n⁺型ソース・ドレイン領域
- 4 0 CoSi₂オーミック電極
- 4 1 p型シリコン基板
- 4 2 ゲート酸化膜
- 4 3 T型ゲート電極
- 4 4 n型エクステンション領域
- 4 5 n⁺型ソース・ドレイン領域

【図1】

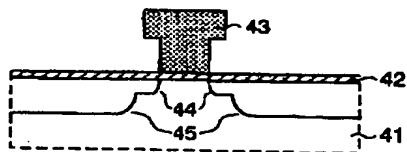
本発明の原理的構成の説明図



- 1 : 半導体基板
- 2 : ゲート絶縁膜
- 3 : 少なくともSiとGeを含む多結晶半導体層
- 4 : 多結晶Si層
- 5 : 酸化膜
- 6 : サイドウォール
- 7 : エクステンション領域
- 8 : ソース・ドレイン領域

【図6】

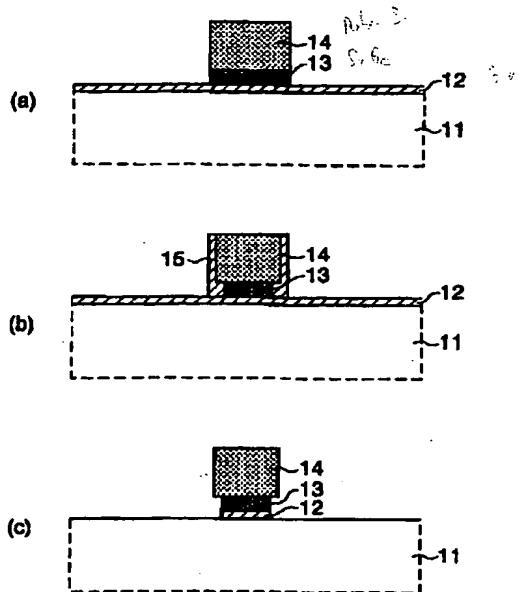
従来のT型ゲートMOSFETの概略的断面図



- 4 1 : p型シリコン基板
- 4 2 : ゲート酸化膜
- 4 3 : T型ゲート電極
- 4 4 : n型エクステンション領域
- 4 5 : n⁺型ソース・ドレイン領域

【図2】

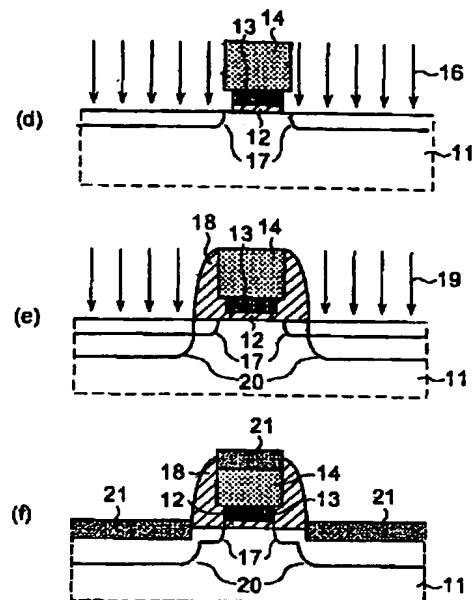
本発明の第1の実施の形態の途中までの製造工程の説明図



11: p型シリコン基板 14: 多結晶Si層
 12: ゲート酸化膜 15: 酸化膜
 13: 多結晶SiGe層 16: 多結晶SiGe層

【図3】

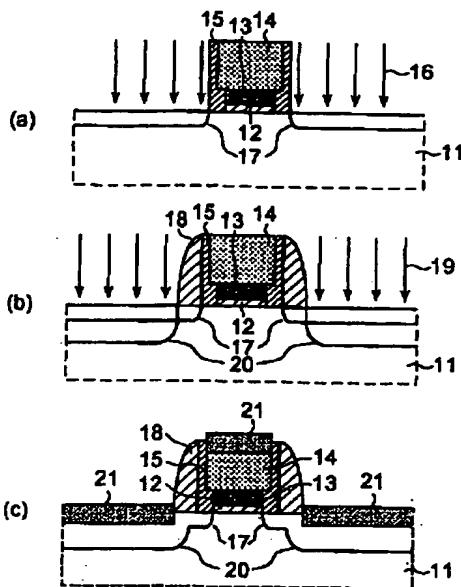
本発明の第1の実施の形態の図2以降の製造工程の説明図



11: p型シリコン基板 17: n型エクステンション領域
 12: ゲート酸化膜 18: サイドウォール
 13: 多結晶SiGe層 19: Asイオン
 14: 多結晶Si層 20: n⁺型ソース・ドレイン領域
 16: Asイオン 21: CoSi: オーミック電極

【図4】

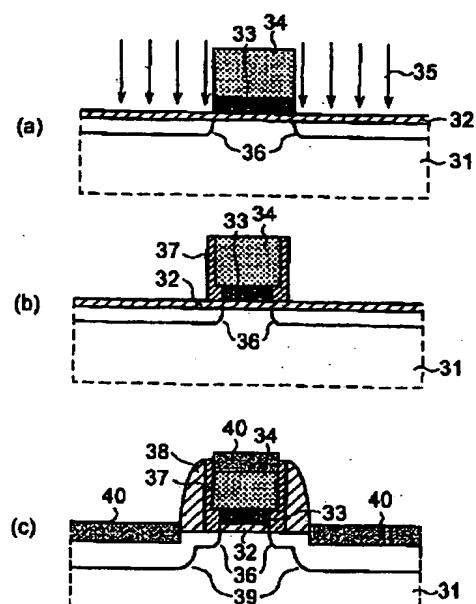
本発明の第2の実施の形態の製造工程の説明図



11: p型シリコン基板 16: Asイオン
 12: ゲート酸化膜 17: n型エクステンション領域
 13: 多結晶SiGe層 18: サイドウォール
 14: 多結晶Si層 19: Asイオン
 15: 酸化膜 20: n⁺型ソース・ドレイン領域
 21: CoS_{1-x}Si_xオーミック電極

【図5】

本発明の第3の実施の製造工程の説明図



31: p型シリコン基板 36: n型エクステンション領域
 32: ゲート酸化膜 37: 酸化膜
 33: 多結晶SiGe層 38: サイドウォール
 34: 多結晶Si層 39: n⁺型ソース・ドレイン領域
 35: Asイオン 40: CoS_{1-x}Si_xオーミック電極

フロントページの続き

(51) Int. Cl. 7
 H 01 L 21/336

識別記号

F I
 H 01 L 29/78

テーマコード(参考)

6 1 7 L
 6 1 7 M

F ターム(参考) 4M104 AA01 BB01 BB20 BB40 CC05
DD45 DD66 DD79 DD84 DD86
FF07 FF13 GG09 GG10 GG14
HH14
5F040 DA01 DA06 DA11 DB03 EC01
EC02 EC04 EC07 EC11 EC19
EF02 EH02 FA03 FA05 FB02
FC11 FC19 FC21
5F048 AA09 BB01 BB04 BB05 BB08
BB13 BC06 BD04 BF06 DA19
DA25 DA30
5F110 BB04 CC02 EE05 EE08 EE09
EE15 EE22 EE32 EE33 EE41
EE45 FF02 FF23 GG02 HJ01
HJ13 HJ23 HK05 HK40 HM15
QQ11